

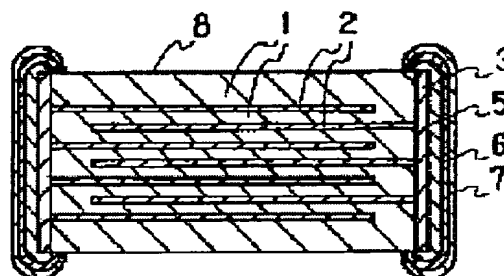
TERMINAL ELECTRODE PASTE AND MULTILAYERED CERAMIC CAPACITOR

Patent number: JP10144561
Publication date: 1998-05-29
Inventor: NISHIMURA TSUTOMU; OKANO KAZUYUKI; OMURA HIDEAKI; TAI NOBUYUKI
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
- international: H01G4/12; H01B1/22; H01G4/228; H01G4/30; H01G4/30
- european:
Application number: JP19960304488 19961115
Priority number(s):

Abstract of JP10144561

PROBLEM TO BE SOLVED: To ensure electrical conduction and design capacitance, by constituting symbiosis matrix of the same composition as anti-reducing dielectric material of an element assembly of a multilayered ceramic capacitor, making the grain diameter of the symbiosis matrix greater than that of the anti-reducing dielectric material of the element assembly, and defining the difference of average grain diameters of both of them.

SOLUTION: Conductive paste of inorganic component wherein symbiosis matrix is added to nickel powder to be in the range of larger than or equal to 5wt.% and smaller than or equal to 50wt.% is printed on a green sheet 1 composed of anti-reducing dielectric material powder, organic binder and plasticizer, and an inner electrode layer 2 is formed. The obtained sheet is laminated, thermally compression-bonded and cut, and a green chip for a multilayered ceramic capacitor 8 is obtained. By using the green chip, terminal electrode paste is spread on both of the end surfaces of the green chip. The symbiosis matrix area has the same composition as the anti-reducing dielectric material, the average grain diameter of the symbiosis matrix is greater than that of the anti-reducing dielectric powder, and the difference of average grain diameters of both of them is set to be greater than or equal to $0.2\mu\text{m}$ and smaller than or equal to $1\mu\text{m}$.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-144561

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.⁹
H 0 1 G 4/12
H 0 1 B 1/22
H 0 1 G 4/228
4/30
識別記号
3 6 1
3 0 1
3 1 1

F I
H 0 1 G 4/12
H 0 1 B 1/22
H 0 1 G 4/30
1/14
3 6 1
A
3 0 1 B
3 1 1 E
F

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平8-304488
(22) 出願日 平成8年(1996)11月15日

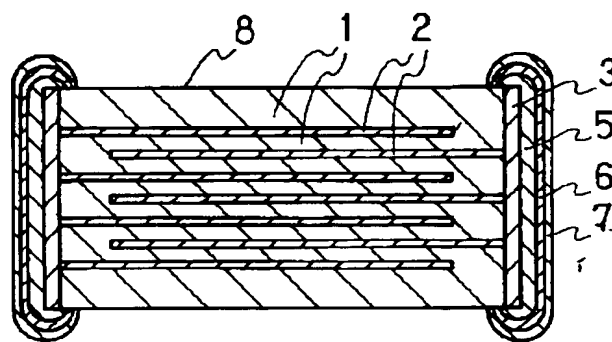
(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72) 発明者 西村 勉
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72) 発明者 岡野 和之
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72) 発明者 大村 秀明
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74) 代理人 弁理士 池内 寛幸 (外2名)
最終頁に続く

(54) 【発明の名称】 端子電極ペーストおよび積層セラミックコンデンサ

(57) 【要約】

【課題】 所定の粒子径を有し、素体の耐還元性誘電体材料と同組成の共生地を添加することにより、内部電極層と端子電極層との電気的導通を確保し、設計容量が確実に得られるとともに、素体端部と端子電極層との密着を完全にする端子電極ペーストを提供する。

【解決手段】 ニッケル粉末に添加物として共生地を5重量%以上50重量%以下の範囲で加えた無機成分と、有機バインダと、溶剤とを混練してなる端子電極ペーストを塗布し、ニッケルを内部電極とする積層セラミックコンデンサの未焼結体と同時焼成して、第一の端子電極を形成する。ここで、共生地は、積層セラミックコンデンサの素体の耐還元性誘電体材料と同組成であり、かつ、その粒子径は、素体の耐還元性誘電体材料の粒子径より大きく、両者の平均粒径の差が0.2 μ m以上1 μ m以下の範囲である。



【特許請求の範囲】

【請求項1】 ニッケルを内部電極とする積層セラミックコンデンサの未焼結体と同時焼成可能な端子電極ペーストであって、

ニッケル粉末に添加物として共生地を5重量%以上50重量%以下の範囲で加えた無機成分と、有機バインダーと、溶剤とを混練してなり、

前記共生地は、前記積層セラミックコンデンサの素体の耐還元性誘電体材料と同組成であり、かつ、前記共生地の粒子径は、前記素体の耐還元性誘電体材料の粒子径より大きく、両者の平均粒径の差は、 $0.2\mu\text{m}$ 以上 $1\mu\text{m}$ 以下の範囲であることを特徴とする端子電極ペースト。

【請求項2】 ニッケルを内部電極とする積層セラミックコンデンサの未焼結体と同時焼成可能な端子電極ペーストであって、

ニッケル粉末に添加物として共生地を5重量%以上50重量%以下の範囲で加えた無機成分と、有機バインダーと、溶剤とを混練してなり、

前記共生地は、前記積層セラミックコンデンサの素体の耐還元性誘電体材料と同組成であり、かつ、前記無機成分のニッケル粉末の粒子径は、前記内部電極に用いられるニッケルペーストのニッケル粉の粒子径より大きく、両者の平均粒径の差は、 $0.2\mu\text{m}$ 以上 $1\mu\text{m}$ 以下の範囲であることを特徴とする端子電極ペースト。

【請求項3】 ニッケルを内部電極とする積層セラミックコンデンサの未焼結体と同時焼成可能な端子電極ペーストであって、

ニッケル粉末に添加物として共生地を5重量%以上50重量%以下の範囲で加えた無機成分と、有機バインダーと、溶剤とを混練してなり、

前記共生地は、前記積層セラミックコンデンサの素体のチタン酸バリウム系耐還元性誘電体材料と同組成であり、かつ、前記共生地の耐還元性誘電体材料に用いられるチタン酸バリウムのBa/Ti比は、前記素体の耐還元性誘電体材料に用いられるチタン酸バリウムのBa/Ti比よりも大きく、両者の差は、0.001以上0.01以下の範囲であることを特徴とする端子電極ペースト。

【請求項4】 ニッケルを内部電極とする積層セラミックコンデンサの未焼結体と同時焼成可能な端子電極ペーストであって、

ニッケル粉末に添加物として共生地を5重量%以上50重量%以下の範囲で加えた無機成分と、有機バインダーと、溶剤とを混練してなり、

前記共生地は、前記積層セラミックコンデンサの素体のチタン酸バリウム系耐還元性誘電体材料と同組成であり、かつ、前記共生地のチタン酸バリウム系耐還元性誘電体材料のAサイト/Bサイト比が、前記素体のチタン酸バリウム系耐還元性誘電体材料のAサイト/Bサイト

比よりも大きくなるように、Ba、Ca、Sr、Mg成分のうち少なくとも一つ以上を、前記共生地に対して0.2mol%以上3mol%以下の範囲で含有することを特徴とする端子電極ペースト。

【請求項5】 請求項1から請求項4項までのいずれか一項記載の端子電極ペーストにより形成される第一端子電極層と、前記第一端子電極層上に形成される第二端子電極層と、前記第二端子電極層上に形成されるニッケルメッキ層と、前記ニッケルメッキ層上に形成されるハンダメッキ層とを備え、

前記第二端子電極層は、Ag、Cu、およびそれらの合金のうちから選ばれた少なくとも一種以上の金属を主成分とする積層セラミックコンデンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ニッケルを内部電極とする積層セラミックコンデンサの内部電極と電気的導通を得るための端子電極用ペースト、およびそれを用いた積層セラミックコンデンサに関するものである。

【0002】

【従来の技術】積層セラミックコンデンサは、電極と誘電体材料とが層状に構成されているものであり、セラミック作製技術により一体化、固体化されるため、小型、大容量のものが得られる。さらに、積層セラミックコンデンサは、電極が内蔵されるため、磁気誘導成分が少なく高周波用途にも優れた性能を示す。また、チップ型積層セラミックコンデンサにはリード線がないため、部品実装の際、直付けが可能で電子機器の小型軽量化への要求にもマッチし、今後益々発展が期待される。

【0003】一方、コンデンサの材質における分類から、アルミ電解、タンタル電解、有機フィルムなどが上げられ、積層セラミックコンデンサの容量範囲からそれらのすべてと競合関係にある。したがって、積層セラミックコンデンサに対する今後の要求は、小型化、大容量化、低価格化である。

【0004】小型化に対しては、チップ形状が、 $3.2\text{mm}\times 1.6\text{mm}$ から $2.0\text{mm}\times 1.25\text{mm}$ や $1.6\text{mm}\times 0.8\text{mm}$ 、さらには、 $1.0\text{mm}\times 0.5\text{mm}$ へという取り組みがなされている。大容量化に向けては、誘電体材料の高誘電率化、高積層化、誘電体層の薄層化に対する取り組みがなされている。一方、低価格化であるが、これが最も大きな要求である。なぜならば、小型大容量化は、低価格化と相反する要求ではなく、同時に取り組むべき課題だからである。

【0005】従来の積層セラミックコンデンサは、チタン酸バリウムを誘電体材料の主成分とし、内部電極に貴金属のパラジウム(Pd)を用いている。そのため、生産コストに占める内部電極材料コストの比率が極めて高く、7割以上とも言われている。特に静電容量の大きなものでは内部電極数が多くなるため、さらにコスト高と

なる。したがって、積層セラミックコンデンサは、容量効率が高く、誘電的特性に優れかつ高信頼性を有するにもかかわらず、価格面がその進展に大きな障害となっていた。

【0006】そのため、コストダウンを目指して各方面で種々の検討がなされている。たとえば、貴金属の中でも比較的成本の安い銀（Ag）に着目し、Ag-Pdを内部電極材料とする方法が検討されている。

【0007】一方、Agでもコストが高いとし、卑金属化を指向する方向もある。つまり、電極材料にニッケル（Ni）を用いるというものである。Niなどの卑金属を内部電極として使用すると、チタン酸バリウムを主成分とする誘電体と卑金属内部電極とを、Niが酸化されない非酸化性雰囲気中で同時焼成しなければならない。

【0008】しかし、この場合、従来のチタン酸バリウムまたはその固溶体からなる誘電体は容易に還元されてしまい絶縁性を失い、その結果、積層セラミックコンデンサとして実用的な誘電体特性が得られなくなるという欠点を有していた。そこで、中性または還元性雰囲気中で焼成しても還元されない材料として、耐還元性セラミック誘電体材料の開発が行われている。

【0009】次に、従来の積層セラミックコンデンサの端子電極の構成について説明する。内部電極として、貴金属のPdが用いられている積層セラミックコンデンサの場合、素体焼成後、内部電極層と電気的導通を得るために、Agを主成分とする端子電極（外部電極）用ペーストが、空气中600℃から800℃程度の温度で焼き付けられているのが一般的である。

【0010】一方、卑金属のNiを内部電極とする積層セラミックコンデンサにおいては、端子電極としてAgを用いることはほとんどない。なぜならば、AgはNiと合金を作らないため、容量を得ることができなくなるからである。そのため、まず内部電極層と同じニッケルを主成分とするペーストを、第一の端子電極層として焼成前の未焼結チップ（生チップ）の端面に塗布して焼成した後、さらにその上に第二の端子電極層を焼き付けるという手法が用いられている。

【0011】このような構成の場合、第二の端子電極層には、Agを用いることが可能である。それは、NiとAgとが面接触をするため、容量抜けをおこすことはないからである。また、端子電極層を、内部電極層のニッケルと容易に電気的導通が得られる銅ペーストを用いて、本焼成後に窒素雰囲気中で焼き付けるという方法も知られている。

【0012】したがって、上記のいずれかの方法により形成された端子電極層を焼き付けた後、ニッケルメッキ、さらにははんだ付け性を良くするためのスズメッキまたはハンダメッキを施すことにより、積層セラミックコンデンサが得られる。

【0013】

【発明が解決しようとする課題】上記のように、Niを内部電極とする積層セラミックコンデンサは、小型大容量品を低価格で実現するために有効な方法である。しかし、内部電極に貴金属のPdを用いても、内部電極コストの占める割合の低い低容量品を、Niを内部電極とする製品に置き換えてもメリットは少ない。そのため、必然的にNiを内部電極とする積層セラミックコンデンサは、誘電体層が薄く、積層数の大きなものとなる。

【0014】一方、積層セラミックコンデンサに要望される性能には電気的特性、耐熱性、機械的強度、信頼性など多岐にわたる項目がある。電気的特性は、ほぼ誘電体材料組成によって決定されるものである。しかしながら、耐熱性、機械的強度、信頼性は、誘電体材料組成によるところもあるが、積層セラミックコンデンサの構造要因の占める割合が極めて高い。たとえば、デラミネーション、クラックなどの内部構造欠陥、内部電極と外部電極との接続状態、素体内部のマイクロクラックの有無、素体内部の残留応力などが、積層セラミックコンデンサの耐熱性、機械的強度、信頼性を弱くする決定的要因となる。

【0015】上述したように、Niを内部電極とする積層セラミックコンデンサの場合、まず、内部電極層と同じニッケルを主成分とするペーストを端子電極として、焼成前の未焼結チップ（生チップ）の端面に塗布して素体と一緒に焼成する。そのため、素体の焼結収縮のタイミングと端子電極部の焼結収縮のタイミングとが著しく異なる。すなわち、素体の焼結収縮より端子電極の焼結収縮が低い温度から開始されるのである。そして、そのタイミングのずれは、端子電極と素体端面との密着強度が得られない場合、端子電極剥離、端子強度不足、容量抜けなどの原因となっていた。

【0016】逆に、端子電極と素体端面との強度が十分に確保できた場合は、そのずれが原因となり、焼成後の素体に内部構造欠陥やマイクロクラックを発生させる。またこのように視覚的に確認できる欠陥でなくても、内部応力を素体に残すこととなる。これらは、初期の段階では性能に大きく影響を及ぼさない場合もあるが、ハンダディップなどの方法による基板への実装時や高温高湿度の下での使用においてクラックの発生やショートの原因となっていた。

【0017】本来、内部電極のNiと誘電体層の間には強固な接着性はない。そのため、誘電体層が薄く、積層数の大きなものが要望されるNiを内部電極とする積層セラミックコンデンサは、内部構造欠陥、内部電極と外部電極との接続不良、素体内部のマイクロクラック、素体内部の残留応力を焼成時に発生させないことが不可欠である。

【0018】一方、素体の焼成時に端子電極層を形成せず、焼成後に端子電極としてCuを窒素中で焼き付ける場合、端子電極形成が素体の内部構造欠陥を引き起こす

原因となることは少ない。しかしながら、内部電極との電氣的導通がとりにくく、設計通りの容量が得にくいという問題があった。それは、一般にCuを焼き付ける温度が700℃から900℃と低く、内部電極のNiと十分に合金化しないためである。また、合金化を優先して焼付温度を高くすると、やはり焼付時のCuペーストの焼結収縮により構造欠陥、マイクロクラック、残留応力を誘発するという問題があった。

【0019】本発明の目的は、内部電極層と端子電極層との電氣的導通を確保し、設計容量が確実に得られるとともに、素体と同時に焼成しても、内部構造欠陥、マイクロクラックの発生を防止して焼成後の残留応力を低減し、素体端部と端子電極層との密着を完全にする端子電極ペースト、および、耐熱性、機械的強度、信頼性に優れ、薄層高積層で小型大容量のニッケルを内部電極とする積層セラミックコンデンサを提供することである。

【0020】

【課題を解決するための手段】上記課題を解決するために、本発明による第一の端子電極ペーストは、ニッケルを内部電極とする積層セラミックコンデンサの未焼結体と同時に焼成可能な端子電極ペーストであって、ニッケル粉末に添加物として共生地を5重量%以上50重量%以下の範囲で加えた無機成分と、有機バインダと、溶剤とを混練してなり、共生地は、積層セラミックコンデンサの素体の耐還元性誘電体材料と同組成であり、かつ、共生地の粒子径は、素体の耐還元性誘電体材料の粒子径より大きく、両者の平均粒径の差は、0.2μm以上1μm以下の範囲であることを特徴とする。

【0021】次に、本発明による第二の端子電極ペーストは、ニッケルを内部電極とする積層セラミックコンデンサの未焼結体と同時に焼成可能な端子電極ペーストであって、ニッケル粉末に添加物として共生地を5重量%以上50重量%以下の範囲で加えた無機成分と、有機バインダと、溶剤とを混練してなり、共生地は、積層セラミックコンデンサの素体の耐還元性誘電体材料と同組成であり、かつ、無機成分のニッケル粉末の粒子径は、内部電極に用いられるニッケルペーストのニッケル粉の粒子径より大きく、両者の平均粒径の差は、0.2μm以上1μm以下の範囲であることを特徴とする。

【0022】次に、本発明による第三の端子電極ペーストは、ニッケルを内部電極とする積層セラミックコンデンサの未焼結体と同時に焼成可能な端子電極ペーストであって、ニッケル粉末に添加物として共生地を5重量%以上50重量%以下の範囲で加えた無機成分と、有機バインダと、溶剤とを混練してなり、共生地は、積層セラミックコンデンサの素体のチタン酸バリウム系耐還元性誘電体材料と同組成であり、かつ、共生地の耐還元性誘電体材料に用いられるチタン酸バリウムのBa/Ti比は、素体の耐還元性誘電体材料に用いられるチタン酸バリウムのBa/Ti比よりも大きく、両者の差は、0.

001以上0.01以下の範囲であることを特徴とする。

【0023】次に、本発明による第四の端子電極ペーストは、ニッケルを内部電極とする積層セラミックコンデンサの未焼結体と同時に焼成可能な端子電極ペーストであって、ニッケル粉末に添加物として共生地を5重量%以上50重量%以下の範囲で加えた無機成分と、有機バインダと、溶剤とを混練してなり、共生地は、積層セラミックコンデンサの素体のチタン酸バリウム系耐還元性誘電体材料と同組成であり、かつ、共生地のチタン酸バリウム系耐還元性誘電体材料のAサイト/Bサイト比が、素体のチタン酸バリウム系耐還元性誘電体材料のAサイト/Bサイト比よりも大きくなるように、Ba、Ca、Sr、Mg成分のうち少なくとも一つ以上を、共生地に対して0.2mol%以上3mol%以下の範囲で含有することを特徴とする。

【0024】上記の各端子電極ペーストは、端子電極層の焼結収縮を遅らせ、素体の焼結収縮のタイミングにできるだけ合わせ、内部構造欠陥等の耐熱性や機械的強度さらには信頼性を悪くする要因を取り除くことができる。したがって、内部電極層と端子電極層との電氣的導通を確保し、設計容量が確実に得られるとともに、素体と同時に焼成しても、内部構造欠陥、マイクロクラックの発生を防止して焼成後の残留応力を低減し、素体端部と端子電極層との密着を完全にすることができる。

【0025】また、上記の各端子電極ペーストの各成分の重量割合は、共生地以外は特に制限するものではないが、端子電極ペースト全体に対して、無機成分が、40～80重量%、有機バインダが、3～10重量%、溶剤が、10～57重量%が好ましい。

【0026】次に、本発明による積層セラミックコンデンサは、上記のいずれかの端子電極ペーストにより形成される第一端子電極層と、第一端子電極層上に形成される第二端子電極層と、第二端子電極層上に形成されるニッケルメッキ層と、ニッケルメッキ層上に形成されるハンダメッキ層とを備え、第二端子電極層は、Ag、Cu、およびそれらの合金のうちから選ばれた少なくとも一種以上の金属を主成分とする。この場合、内部電極層と端子電極層との電氣的導通を確保し、素体端部と端子電極層との密着を完全にすることができるので、耐熱性、機械的強度、信頼性に優れた薄層高積層の小型大容量のNiを内部電極とする積層セラミックコンデンサを提供することができる。

【0027】

【発明の実施の形態】以下、本発明の実施の形態について詳しく説明する。

（実施の形態1）まず、チタン酸バリウムを主成分とする耐還元性誘電体材料粉末と有機バインダと可塑剤からなる厚み13μmのグリーンシートを用意し、このグリーンシート上にニッケルを主成分とする導電性ペースト

を用い、所望のパターンに印刷し、内部電極層を形成した。この内部電極層の乾燥厚みは、約 $2.5\mu\text{m}$ であった。使用した内部電極用のNi粉末および耐還元性誘電体粉末の平均粒径は、表1に示している。

【0028】このようにして得られたシートを誘電体有効層が100層になるように積層、熱圧着し、さらに切断をして積層セラミックコンデンサ用生チップとした。なお、生チップは、焼成後に $3.2\text{mm}\times 1.6\text{mm}$ （3216タイプまたは13タイプ）の形状になるようにあらかじめ焼結収縮を計算して準備した。図2に生チップの断面図を簡略化して示す。ここで、誘電体層1は、上記のグリーンシートからなり、内部電極2は、上記の内部電極層からなる。

【0029】以上のようにして作製した生チップを用い、その両端面に端子電極ペーストを塗布する。端子電極ペーストに用いたNi粉末および共生地の平均粒径、添加量もまた表1に示す。なお、共生地は、グリーンシートに用いたチタン酸バリウムを主成分とする耐還元性誘電体材料と同組成である。これらの無機成分と、あらかじめ調製しておいた有機バインダとしてのエチルセルロース、および溶剤としての α -テルピネオールからなるビヒクルとを三本ロールミルで混練し、端子電極ペーストを得た。端子電極層の乾燥後の塗布厚みは約 $20\mu\text{m}$ である。また、上記の端子電極ペーストの各成分の重量割合は、共生地以外は特に制限するものではないが、端子電極ペースト全体に対して、無機成分が、60重量%、有機バインダが、4重量%、溶剤が、36重量%である。

【0030】表1において*印を付けたロット番号は、本発明の範囲外のものであり、比較例として記載したものである。また#印を付けたロット番号は、端子電極ペーストを塗布せず焼成したもので、素体だけで焼成した場合の内部構造を確認するために用意したものである。

【0031】このようにして得られた端子電極付きの生チップを各ロット500個ずつ窒素雰囲気中で 400°C で4時間保持することにより脱バインダし、さらに低酸素分圧雰囲気中にて 1300°C で2時間保持することにより、本焼成を行なった。焼成後の誘電体層の厚みは、約 $7\mu\text{m}$ であった。図3に端子電極層を塗布して焼成した積層セラミックコンデンサの断面図を簡略化して示す。ここで、1は、誘電体層、2は、内部電極、3は、上記の端子電極層からなる第一端子電極層、4は、焼成後の生チップをそれぞれ示す。

【0032】まず、この段階で、焼成後の素体の中から無作為に選択したものをL（長さ）方向とW（幅）方向とに各50個ずつ樹脂埋めし、研磨の後、光学顕微鏡により内部構造の確認を行った。具体的には、研磨をすすめ、L方向であれば、内部電極が見えはじめる位置（端部）と素体中央部との2点で確認した。また、W方向の場合は、対向電極が見えはじめる位置（端部）と素体中

央部との2点で確認した。その結果を同じく表1に示す。

【0033】その後、焼成済の残りの素体を用い、端子電極部分全体を覆うように外部電極用銀ペーストを塗布乾燥し、ベルト炉で大気中にて 600°C で焼き付けを行い、第二端子電極層を形成した。さらに、第二端子電極層上にニッケルメッキ層およびハンダメッキ層を、電解メッキ法にて各45分間メッキを行なうことにより形成し、Niを内部電極とする積層セラミックコンデンサ（以下、Ni内電積層セラミックコンデンサと称す）を得た。ここで、ニッケルメッキ層の厚みは約 $2\mu\text{m}$ 、ハンダメッキ層の厚みは約 $1\mu\text{m}$ であった。図1に上記のように形成されたNi内電積層セラミックコンデンサの断面図を簡略化して示す。ここで、1は、誘電体層、2は、内部電極、3は、第一端子電極層、5は、第二端子電極層、6は、ニッケルメッキ層、7は、ハンダメッキ層、8は、積層セラミックコンデンサをそれぞれ示す。

【0034】以上のようにして作製した試料を用い、種々の評価を行った。まず、試料100個について容量測定を行ない、設計通りの容量が得られているかを確認した。そして、設計容量に対して10%以上容量が低いものを容量抜け（C小品と示す）と判断し、その割合を表1のC小率の欄に示す。

【0035】次に、試料の耐熱性の評価を行った。評価は、ハンダ耐熱試験により行った。ハンダ耐熱試験は、銅張りの試験用樹脂基板に試料を熱硬化樹脂で固定した後、予熱無しでハンダ槽に5秒間ディップするという方法で行った。試験温度は、 270°C 、 300°C 、 330°C の3点とし、試料数は、各温度40個とした。試験後、試料を試験用樹脂基板のまま研磨し、内部構造を試料のL方向から光学顕微鏡により確認し、その発生率を求めた。試験用樹脂基板は、周辺部にランドがあり、20個の試料が配置でき、かつ側面を研磨すれば、ハンダ付けした試料がL方向に研磨されるように設計したものである。その結果もあわせて表1に示す。

【0036】表1の結果よりも明らかなように、本発明の端子電極ペーストを用いることにより、電氣的導通が確実に得られ、内部構造欠陥が皆無の耐熱性の高いNi内電積層セラミックコンデンサを実現することができた。

【0037】なお、本発明の範囲外の端子電極ペーストを用いた場合、焼成段階で既に内部構造欠陥を有するものがある。また、内部構造欠陥に問題がなくても、端子電極層の密着強度が弱い、容量が設計通りに得られない、耐熱性が悪いなどの理由により実用に供することができないという問題点があった。したがって、本発明における範囲限定は、上記の結果を根拠とするものである。また、表1において評価結果に空欄があるが、これは、その項目の評価に値しない状態にあると判断したためである。

【0038】

【表1】

ロット No.	素体		端子電極ペースト			評 価 結 果								備 考
	N i 粉 平均粒径 (μm)	誘電体粉 平均粒径 (μm)	N i 粉 平均粒径 (μm)	共生地 平均粒径 (μm)	添加量 (wt%)	内部構造欠陥				C小率	ハンダ耐熱試験			
						L方向		W方向			270℃	300℃	330℃	
						端部	中央部	端部	中央部					
#0	0.3	1.0	0.3	1.0	—	0/50	0/50	0/50	0/50	5/100	—	—	—	端子電極層無し 密着強度が弱い
#1					3	4/50	3/50	5/50	5/50	3/100	5/40	11/40	23/40	
#2					5	0/50	0/50	0/50	0/50	0/100	3/40	5/40	18/40	
#3					25	0/50	0/50	0/50	0/50	0/100	0/40	2/40	11/40	
#4					50	0/50	0/50	0/50	0/50	0/100	0/40	2/40	7/40	
#5				1.2	3	3/50	3/50	2/50	4/50	4/100	1/40	2/40	9/40	密着強度が弱い
#6					5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40	
#7					25	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40	
#8					50	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40	
#9					60	0/50	0/50	0/50	0/50	15/100	0/40	0/40	0/40	
#10				1.5	3	1/50	1/50	0/50	2/50	3/100	0/40	2/40	5/40	密着強度が弱い
#11					5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40	
#12					25	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40	
#13					50	0/50	0/50	0/50	0/50	1/100	0/40	0/40	0/40	
#14					60	0/50	0/50	0/50	0/50	21/100	—	—	—	
#15				2.0	5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40	C小多数のため未試験
#16					25	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40	
#17					50	0/50	0/50	0/50	0/50	3/100	0/40	0/40	0/40	
#18					60	0/50	0/50	0/50	0/50	28/100	—	—	—	
#19				2.5	5	0/50	0/50	0/50	0/50	9/100	—	—	—	端子電極層が未焼結
#20					25	0/50	0/50	0/50	0/50	25/100	—	—	—	
#21					50	0/50	0/50	0/50	0/50	43/100	—	—	—	

【0039】（実施の形態2）生チップ、および端子電極ペーストは、実施の形態1と同様の手法で準備した。素体に使用した内部電極用のN i 粉末および耐還元性誘電体粉末の平均粒径は、表2に示す。端子電極ペーストに用いたN i 粉末や共生地の平均粒径、添加量もまた表2に示す。なお、表2において*印を付けたロットは、本発明の範囲外のものであり、比較例として記載したものである。また、#印を付けたロットは、端子電極ペーストを塗布せず焼成したもので、素体だけで焼成した場合の内部構造を確認するために用意したものである。

【0040】その後、実施の形態1に示した方法と同じ方法でN i 内電積層セラミックコンデンサを作製し、同様の評価を行った。その結果を表2に示す。表2の結果から明らかなように、本発明の端子電極ペーストを用いることにより、電気的導通が確実に得られ、内部構造欠

陥が皆無の耐熱性の高いN i 内電積層セラミックコンデンサを実現することができる。

【0041】なお、本発明の範囲外の端子電極ペーストを用いた場合、焼成段階で既に内部構造欠陥を有するものがある。また、内部構造欠陥に問題がなくても、端子電極層の密着強度が弱い、容量が設計通りに得られない、耐熱性が悪いなどの理由により実用に供することができないという問題点がある。したがって、本発明における範囲限定は、上記の結果を根拠とするものである。また、表2において評価結果に空欄があるが、これはその項目の評価に値しない状態にあると判断したためである。

【0042】

【表2】

ロット No.	素体		端子電極ペースト		評 価 結 果										備 考
	N i 粉 平均粒径 (μm)	誘電体粉 平均粒径 (μm)	N i 粉 平均粒径 (μm)	共生地 平均粒径 (μm)	添加量 (wt%)	内部構造欠陥				C小率	ハンダ耐熱試験				
						L方向		W方向			270℃	300℃	330℃		
						端部	中央部	端部	中央部						
*22	0.3		0.5	1.0	0	0/50	0/50	0/50	0/50	—	—	—	—	端子電極層剥離	
*23					3	3/50	4/50	4/50	3/50	14/100	5/40	13/40	25/40	端子電極層一部剥離	
24					5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
25					25	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
26					50	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
*27					60	0/50	0/50	0/50	0/50	13/100	0/40	0/40	0/40		
28					5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
29					25	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
30					50	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
*31					0	0/50	0/50	0/50	0/50	—	—	—	—	端子電極層剥離	
32				1.3	1.0	5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40	
33						25	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40	
34						50	0/50	0/50	0/50	0/50	1/100	0/40	0/40	0/40	
*35						25	0/50	0/50	0/50	0/50	24/100	—	—	—	C小多数のため未試験
*36	0.5	1.0	—	0/50	0/50	0/50	0/50	—	—	—	—	端子電極層無し			
*37			0	0/50	0/50	0/50	0/50	—	—	—	—	端子電極層剥離			
*38			3	6/50	4/50	3/50	6/50	0/100	4/40	8/40	15/40				
*39			25	1/50	0/50	1/50	1/50	0/100	1/40	3/40	9/40				
40			5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40				
41			25	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40				
42			50	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40				
*43			60	0/50	0/50	0/50	0/50	15/100	0/40	0/40	0/40				
44			5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40				
45			50	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40				
*46			5	0/50	0/50	0/50	0/50	17/100	—	—	—	端子電極層が焼結不足			
*47			25	0/50	0/50	0/50	0/50	37/100	—	—	—				

【0043】（実施の形態3）生チップ、および端子電極ペーストは、実施の形態1と同様の手法で準備した。素体を使用した内部電極用のN i 粉末の平均粒径は約0.3 μm 、耐還元性誘電体粉末の平均粒径は約1 μm である。素体の耐還元性誘電体材料の出発原料のチタン酸バリウムのBa/Ti比、および端子電極ペーストに用いた共生地のチタン酸バリウムのBa/Ti比、添加量を表3に示す。チタン酸バリウムのBa/Ti比は、蛍光X線によるBaとTiとの強度比を基にしたものである。端子電極ペーストのN i 粉末としては、内部電極ペーストと同じものを使用した。また、共生地の平均粒子径は、素体と同じ約1 μm のものをを用いた。なお、表3において、*印を付けたロットは、本発明の範囲外のものであり、比較例として記載したものである。

【0044】その後、実施の形態1に示したと同じ方法でN i 内電積層セラミックコンデンサを作製し、同様の評価を行った。その結果を表3に示す。表3の結果から

明らかのように、本発明の端子電極ペーストを用いることにより、電気的導通が確実に得られ、内部構造欠陥が皆無の耐熱性の高いN i 内電積層セラミックコンデンサを実現することができる。

【0045】なお、本発明の範囲外の端子電極ペーストを用いた場合、焼成段階で既に内部構造欠陥を有するものがある。また、内部構造欠陥に問題がなくても、端子電極層の密着強度が弱い、容量が設計通りに得られない、耐熱性が悪いなどの理由により実用に供することができないという問題点がある。したがって、本発明における範囲限定は、上記の結果を根拠とするものである。また、表3において評価結果に空欄があるが、これはその項目の評価に値しない状態にあると判断したためである。

【0046】

【表3】

ロット No.	素体		端子電極ペースト		評 価 結 果									備 考
	誘電体粉 Ba/Ti 比	共生地 Ba/Ti 比	添加量 (wt%)	内部構造欠陥				C小率	ハンダ耐熱試験					
				L方向		W方向			270℃	300℃	330℃			
				端部	中央部	端部	中央部							
*48	1.000	1.001	3	4/50	4/50	3/50	7/50	0/100	3/40	7/40	12/40	C小多数のため未試験		
49			5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40			
50			25	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40			
51			50	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40			
*52			60	0/50	0/50	0/50	0/50	27/100	—	—	—			
*53		1.003	3	2/50	3/50	2/50	2/50	0/100	1/40	4/40	10/40			
54			5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40			
55			25	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40			
56			50	0/50	0/50	0/50	0/50	1/100	0/40	0/40	0/40			
57			5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40			
58		1.010	25	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40			
*59			3	1/50	0/50	2/50	0/50	11/100	2/40	3/40	7/40			
*60			25	0/50	0/50	0/50	0/50	33/100	—	—	—			
61	1.001	1.003	25	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40	C小多数のため未試験		
62		1.010	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40				

【0047】（実施の形態4）生チップ、端子電極ペーストは実施の形態1と同様の手法で準備した。素体に使

用した素体は実施の形態1と同様の手法で準備した。素体に使

用した内部電極用のNi粉末の平均粒径は約 $0.3\mu\text{m}$ 、耐還元性誘電体粉末の平均粒径は約 $1\mu\text{m}$ である。端子電極ペーストに用いた共生地の添加量、さらに添加物とした成分の種類と添加量を表4に示す。ここで、添加物としては、 BaCO_3 、 CaCO_3 、 SrCO_3 、 MgO が用いられ、積層セラミックコンデンサの素体と同組成のペロブスカイト酸化物(ABO_3)であるチタン酸バリウム系耐還元性誘電体材料からなる共生地のAサイト/Bサイト比が、素体のチタン酸バリウム系耐還元性誘電体材料のAサイト/Bサイト比よりも大きくなるように、共生地は、Ba、Ca、Sr、Mg成分のうち少なくとも一つ以上を含有する。

【0048】また、端子電極ペーストのNi粉末としては内部電極ペーストと同じものを使用した。共生地の平均粒子径も、素体と同じ約 $1\mu\text{m}$ のものを用いた。なお、表4において、*印を付けたロットは本発明の範囲外のものであり、比較例として記載したものである。

【0049】その後、実施の形態1に示した方法と同じ

方法でNi内電積層セラミックコンデンサを作製し、同様の評価を行った。その結果を表4に示す。表4の結果から明らかなように、本発明の端子電極ペーストを用いることにより、電気的導通が確実に得られ、内部構造欠陥が皆無の耐熱性の高いNi内電積層セラミックコンデンサを実現することができる。

【0050】なお、本発明の範囲外の端子電極ペーストを用いた場合、焼成段階で既に内部構造欠陥を有するものがある。また、内部構造欠陥に問題がなくても、端子電極層の密着強度が弱い、容量が設計通りに得られない、耐熱性が悪いなどの理由により実用に供することができないという問題点がある。したがって、本発明における範囲限定は、上記の結果を根拠とするものである。表4において評価結果に空欄があるが、これは、その項目の評価に値しない状態にあると判断したためである。

【0051】

【表4】

ロット No.	端子電極ペースト		評価結果						備考				
	共生地 添加量 (wt%)	添加物	内部構造欠陥				C小率	ハンダ耐熱試験					
			L方向		W方向			270℃		300℃	330℃		
			添加量 (mol%)	端部	中央部	端部	中央部						
*63	5	BaCO ₃	0.1	3/50	2/50	3/50	3/50	0/100	4/40	7/40	15/40	C小多数のため未試験	
64			0.2	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
65			1.5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
66			3	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
67			0.2	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
68			1.5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
69			3	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
*70			5	0/50	0/50	0/50	0/50	19/100	—	—	—		
71	25	CaCO ₃	0.2	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
72			1.5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
73			3	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
74			0.2	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
75		SrCO ₃	1.5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
76			3	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
77		MgO	0.2	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
78			1.5	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
79	50		3	0/50	0/50	0/50	0/50	0/100	0/40	0/40	0/40		
80			BaCO ₃	1.5	0/50	0/50	0/50	0/50	0/100	0/40	0/40		0/40
81			CaCO ₃		0/50	0/50	0/50	0/50	0/100	0/40	0/40		0/40
82			SrCO ₃		0/50	0/50	0/50	0/50	0/100	0/40	0/40		0/40
83	MgO	0/50	0/50		0/50	0/50	0/100	0/40	0/40	0/40			
*84	60	BaCO ₃	0.2	0/50	0/50	0/50	0/50	31/100	—	—	—	C小多数のため未試験	
*85			1.5	0/50	0/50	0/50	0/50	46/100	—	—	—	C小多数、端子電極層	
*86			3	0/50	0/50	0/50	0/50	59/100	—	—	—	未焼結	

【0052】以上本発明の各実施の形態について説明した。なお、耐還元性誘電体材料の組成については特に言及しなかったが、それは、端子電極ペーストの共生地として、耐還元性誘電体材料の組成を限定することは重要でなく、その添加量と、素体の耐還元性誘電体材料との平均粒径、Ba/Ti比、Aサイト/Bサイト比の差が重要である。そのため、本発明の端子電極ペーストは、JIS規格のF、B特性をはじめ種々の温度特性を満足するNi内電積層セラミックコンデンサ用として適応可能である。

【0053】また、生チップの構成(有効層厚み、積層数、寸法)は一種類であったが、本発明の有効性は、こ

の構成に対して限定されるものではなく、より有効層が薄く高積層なものになるほどその有効性が高くなる。

【0054】また、端子電極ペーストの有機成分についても、各実施の形態に限定されるものではなく、ペーストとして要求される粘度特性や分散性や安定性を満足するものであればよい。また、塗布方式についても特に限定されるものではなく、塗布厚みについても乾燥厚みが $5\mu\text{m}$ から $50\mu\text{m}$ の範囲であればよい。

【0055】また、各実施の形態において、第二端子電極層としてAgを主成分とするペーストを用いたが、これはAgペーストに限定されるものではなく、Cuを主成分とするCuペーストを窒素雰囲気中で焼き付けた第

二端子電極層であっても良い。また、AgとCuの合金からなるペーストであってもなんらさしつかえはない。すなわち、第二端子電極層は、Ag、Cu、およびそれらの合金のうちから選ばれた少なくとも一種以上の金属を、ペースト中の無機成分中に80～95重量%含有するものであればよい。

【0056】さらに、各実施の形態において、面取り工程については、全く言及しなかったが、面取り工程は、生チップの状態で行っても、端子電極を塗布して焼成した後に行ってもよい。この面取り工程によって本発明の端子電極ペーストの効果が失われることはない。また、本発明の実施の形態1から実施の形態4を任意に組み合わせた端子電極ペーストも本発明の目的を実現する上で極めて有効であることは言うまでもない。

【0057】

【発明の効果】本発明の端子電極ペーストは、内部電極層と端子電極層との電気的導通を確保し、設計容量が確実に得られるとともに、素体端部と端子電極層とが一体となって焼結するため、密着を確実にすることができる。さらに、本発明の端子電極ペーストは、端子電極層の焼結収縮を遅らせ、素体の焼結収縮のタイミングにできるだけ合わせ、内部構造欠陥等の耐熱性や機械的強度、さらには信頼性を悪くする要因を取り除くことがで

きる。そのため、素体と同時に焼成しても内部構造欠陥、マイクロクラックの発生が無く、焼成後の残留応力を低減することができる。また、本発明の積層セラミックコンデンサは、市場の要望である小型大容量、低価格を実現することができ、ひいては電子機器の小型軽量化をも可能にすることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態のNi内電積層セラミックコンデンサの断面を簡略化した図

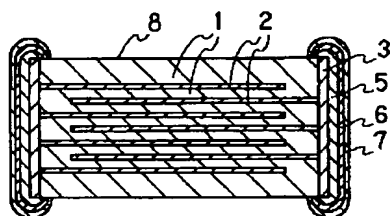
【図2】本発明の一実施の形態において焼成前の生チップの断面を簡略化した図

【図3】本発明の一実施の形態において端子電極層を塗布して焼成した積層セラミックコンデンサの断面を簡略化した図

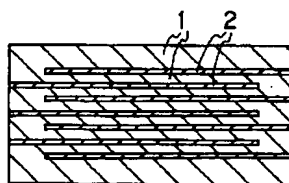
【符号の説明】

- 1 誘電体層
- 2 内部電極
- 3 第一端子電極層
- 4 焼成後の生チップ
- 5 第二端子電極層
- 6 ニッケルメッキ層
- 7 ハンダメッキ層
- 8 積層セラミックコンデンサ

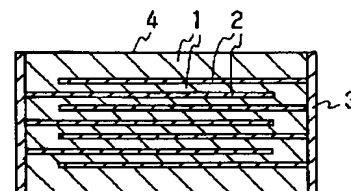
【図1】



【図2】



【図3】



フロントページの続き

(72) 発明者 田井 伸幸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内